

LS1B SOC 硬件平台设计指导

产品型号：龙芯 1B

2012年5月

龙芯中科技术有限公司

自主决定命运, 创新成就未来

北京市海淀区科学院南路10号 100190
10 Kexueyuan South Road, Zhongguancun
Haidian District, Beijing



www.loongson.cn

阅读指南

本说明书知识产权属于龙芯中科技术有限公司（以下简称本公司）。未经本公司书面许可，不得拷贝、摘抄或者转译。本说明书的产品规格仅供参考，本公司保留随时对产品进行升级的权利和对本使用手册所包含信息进行变更的权利，并不必为此另行通知用户。

若需要其他的信息，请浏览本公司的网站 <http://www.loongson.com> 或者直接和本公司取得联系 010-62546668。

修订历史

文档更新记录		文档编号:		
		文档名:		
		版本号		
		创建人:		
		创建日期 :		
更新历史				
序号.	更新日期	更新人	更新内容	
1				
2				
3				
4				
5				
6				
7				
8				

目 录

龙芯常用文档资料下载.....	6
1 电源.....	1
1.1 电源设计.....	1
1.1.1 电压参数.....	1
1.1.2 电流参数.....	1
1.1.3 功耗参数.....	2
1.1.4 其他设计考虑.....	2
1.2 电源和地平面的分割.....	2
1.3 去耦电容设计指导.....	4
2 叠层设计.....	4
2.1 4层 PCB 板叠层.....	4
2.2 6层 PCB 板叠层.....	5
3 内存.....	5
3.1 信号分组及走线拓扑.....	6
3.1.1 信号分组.....	6
3.1.2 时钟信号.....	6
3.1.3 控制信号.....	8
3.1.4 命令信号.....	9
3.1.5 数据信号.....	10
3.1.6 数据选通信号.....	11
3.2 数据信号组的完整性.....	12
3.3 参考平面.....	13
3.4 长度匹配.....	13
3.5 封装长度.....	13
3.6 接口参考设计.....	13
3.6.1 32 位模式接口设计.....	13
3.6.2 16 位模式接口设计.....	14
4 网络接口.....	15
4.1 MII.....	15
4.1.1 信号分组.....	15
4.1.2 发送组 (TX).....	16
4.1.3 接收组 (RX).....	16
4.1.4 控制组 (CTRL).....	17
4.1.5 接口参考设计.....	18
4.2 RGMII.....	19
4.2.1 信号分组.....	19
4.2.2 发送组 (TX).....	20
4.2.3 接收组 (RX).....	20
4.2.4 控制组 (CTRL) 及其它.....	21
4.2.5 参考接口设计.....	22
4.3 数据信号组的完整性.....	23
4.4 参考平面.....	23

4.5	长度匹配	23
4.6	封装长度	23
5	USB 接口	23
5.1	信号拓扑及布线规范	24
5.2	参考接口设计	25
6	其他设计	25
6.1	LCD 接口	25
6.1.1	接口设计参考	25
6.2	时钟设计	26
6.3	JTAG 调试接口设计	27
6.4	复位信号设计	27
6.5	NAND 接口	28
6.5.1	接口设计参考	28
7	器件选型推荐	28
7.1	DDR2	28
7.2	GMAC	29
7.3	USB	29
7.4	VGA	29
7.5	NAND	29

龙芯常用文档资料下载

一、源码

下载网址：<http://www.loongson.cn/dev/gitweb/>

二、手册

1、龙芯芯片产品技术白皮书

请联系龙芯市场部获取，电话 010-62546668.

2、龙芯 3A 处理器用户手册、龙芯 3A 处理器数据手册

下载网址：http://www.loongson.cn/product_info.php?id=31

3、龙芯 2F 处理器用户手册、龙芯 2F 处理器数据手册

下载网址：http://www.loongson.cn/product_info.php?id=23

4、龙芯 1A 处理器用户手册

下载网址：http://www.loongson.cn/product_info.php?id=41

5、龙芯 1B 处理器用户手册

下载网址：http://www.loongson.cn/product_info.php?id=42

三、资料获取方法

龙芯各类文档，请登录龙芯官网：www.loongson.cn 下载

1 电源

1.1 电源设计

1.1.1 电压参数

处理器电源分为核电压、IO 电压和锁相环电源，电源的种类如表 1.1 所示。

表 1.1 LS1B 电压参数表

参数	描述	最小值	典型值	最大值	单位
VDD1V2	CPU 核电压	1.08	1.2	1.26	V
VDD1V8	DDR2 IO 电压	1.7	1.8	1.9	V
VDD3V3	CPU IO 电压	3.0	3.3	3.6	V
VREF0V9	DDR2 参考电压	0.83	0.9	0.97	V
USB_AVDD33	USBPLL 模拟电压	3.0	3.3	3.6	V
USB_VDD1V2	USBPLL 数字电压	1.08	1.2	1.26	V
RTC_VDD33	RTC 电压	2.7	3.0	4.2	V
PLL_CPU_AVDD33	3.3V PLL 模拟电压	3.0	3.3	3.6	V
PLL_CPU_DVDD12	1.2V PLL 数字电压	1.08	1.2	1.26	V

1.1.2 电流参数

处理器各电源的电流数据如表 1.2 所示。以下数据均在内存采用 16 位单片颗粒 1B 最小系统下测得。

表 1.2 LS1B 电流参数表

参数	描述	最小值	典型值	最大值	单位
I _{VDD1V2}	CPU 核电压电流	136.4	152.45	206.5	mA
I _{VDD1V8}	DDR2 IO 电压电流	127.69	145.68	203.79	mA
I _{VDD3V3} (不接 LCD)	CPU IO 电压电流	32.31	33.28	33.36	mA
I _{VDD3V3} (接 LCD)	CPU IO 电压电流	40.31	119.28	134.36	mA
I _{VREF0V9}	DDR2 参考电压电流				mA
I _{RTC_VDD33}	RTC 电压电流				mA

注：I_{VDD1V2} 数据中包含 USBPLL 数字电压电流 I_{USB_VDD1V2} 以及 1.2V PLL 数字电压电流 I_{PLL_CPU_DVDD12}；I_{VDD3V3} 数据中包含 USBPLL 模拟电压电流 I_{USB_AVDD33} 以及 3.3V PLL 模拟电压电流 I_{PLL_CPU_AVDD33}。

1.1.3 功耗参数

处理器的功耗如表 1.3 所示。

表 1.3 处理器的功耗

	最小值	典型值	最大值	单位	备注
LS1B 芯片 Total 功耗	400	445	485	mW	LS1B 芯片总动态功耗范围

1.1.4 其他设计考虑

核电压(VDD1V2)和 IO 电压(VDD1V8, VDD3V3)电源生成器件的摆放位置离处理器越近越好,以减小电源分布系统中的阻抗和回路电感。另外,各电源应该有足够数目的高质量的低 ESL/ESR 旁路电容。

DDR2_VREF 是 SSTL18 电平的参考电压,通过两个精密电阻(100Ω, 1%)对 vdde1v8 分压就可以得到,需要注意的是,分压电阻和处理器电源管脚的位置应尽量靠近。

为保证锁相环的稳定性和减小时钟的 jitter,系统需要保证提供最纯净的锁相环电源。推荐的锁相环生成方式如图 1.1 所示。重要的是,图 1.1 中的滤波电容和滤波磁珠应该尽量远离高频开关信号。

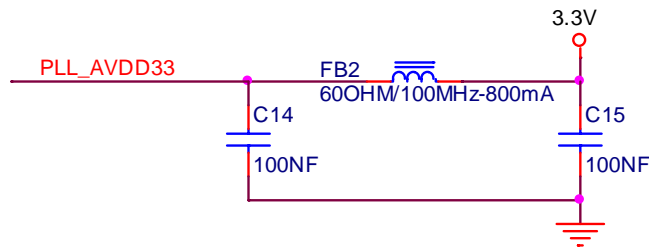


图 1.1 处理器锁相环电源的生成

龙芯 1B 处理器对电源的上电顺序没有要求,但在上电瞬间,考虑到对外围器件的保护,平台设计时推荐以 IO 电压在前、核电压在后的顺序为最佳,或各电源同时上电也可以满足要求。

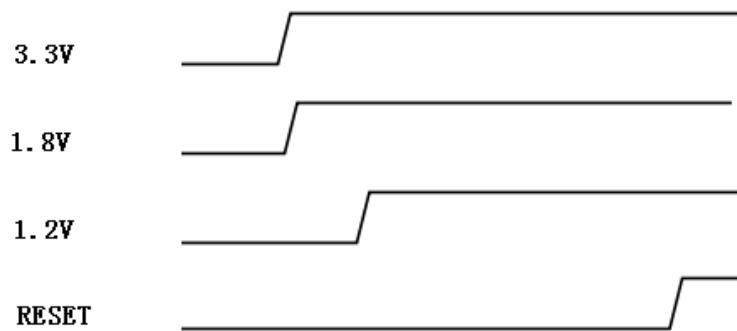


图 1.2 上电时序

1.2 电源和地平面的分割

电源和地平面分隔的主要依据是使所有高速信号均有一个完整的电流回流路径, 电流回流路径的不完整将导致传输线特性阻抗突变, 从而引起信号完整性问题。

建议整个 PCB 板使用完整的地平面, 对于四层板设计, 推荐的电源平面的分割方式如图 1.3 所示。对于六层板可将电源层分割 VDD1V8, VDD3V3 两块, VDD1V2, 在信号层放置, 如图 1.4 所示。

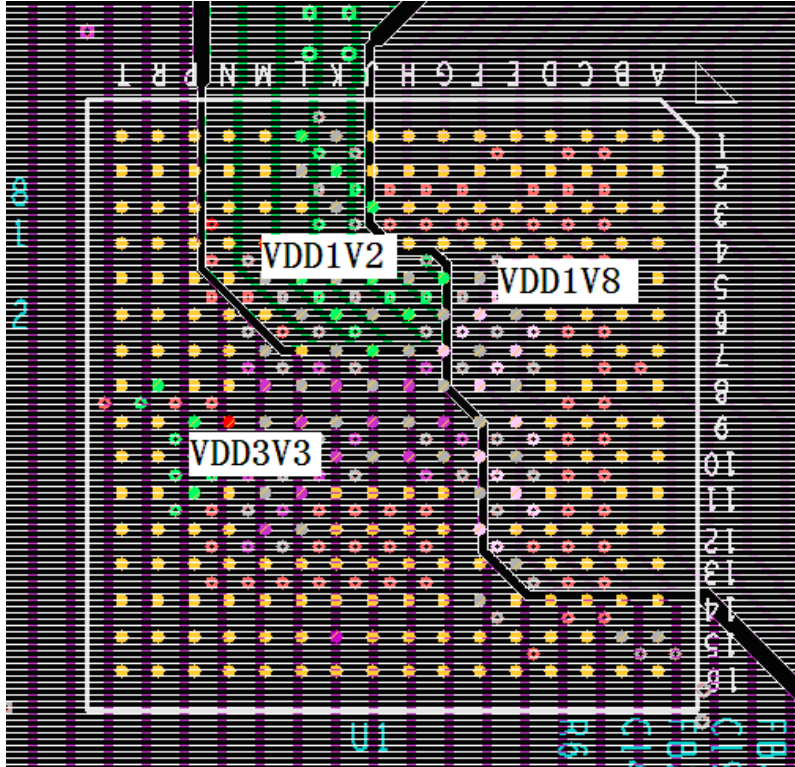
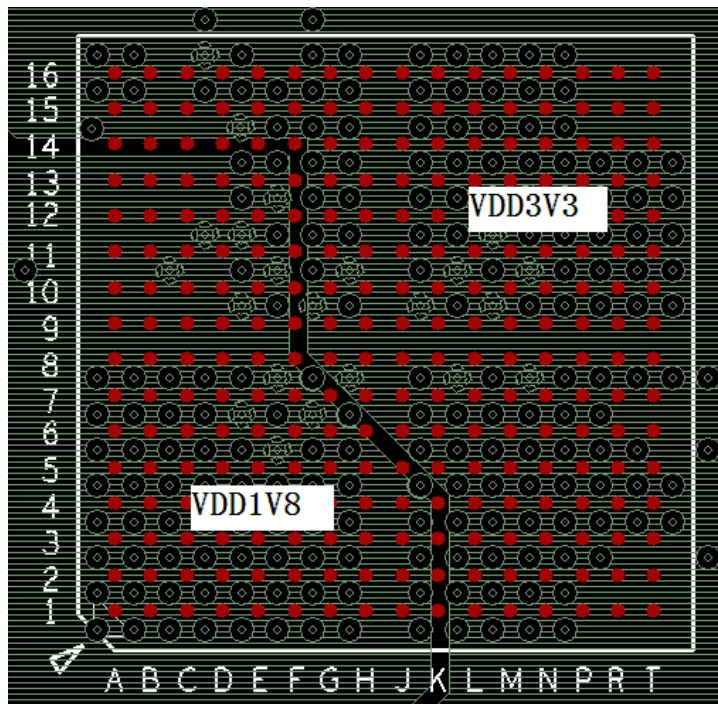


图 1.3 四层板设计处理器主电源平面的分隔



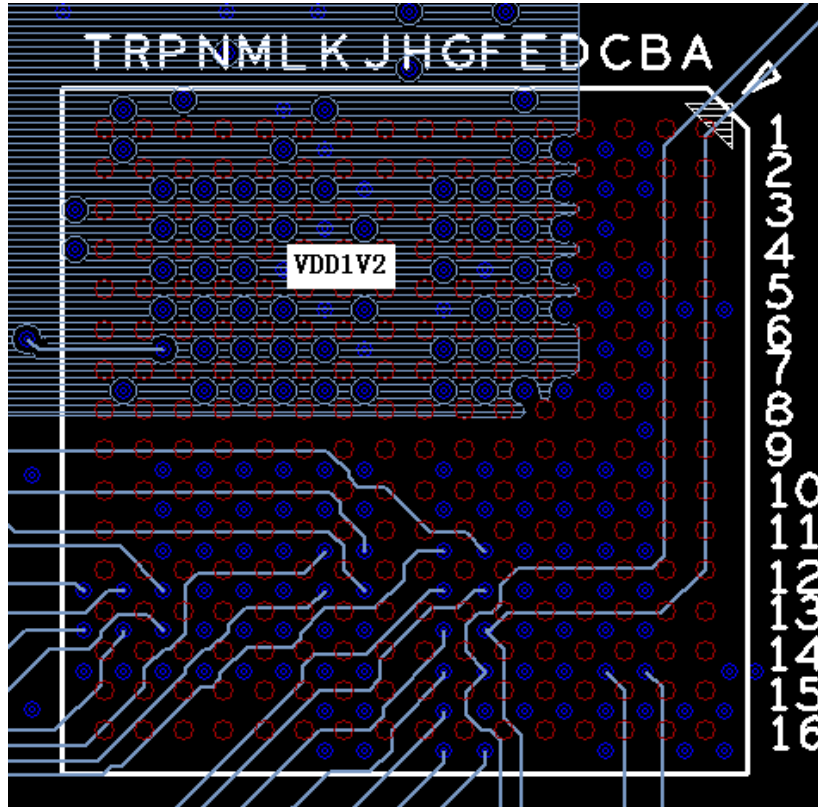


图 1.4 六层板设计处理器主电源平面的分隔

1.3 去耦电容设计指导

为了降低电源平面的噪声,处理器电源的去耦电容空间允许越多越好。在器件的布局上,去耦电容与处理器的电源管脚距离越近越好,因为 PCB 走线的电感将降低去耦电容的效果。小封装的电容(如 0402)由于有更小的 ESL,会取得更佳的去耦效果。另外,布局的位置和容值关系为容值越小的电容应该越靠近芯片管脚。

2 叠层设计

本文档以 6 层板设计为例来说明系统的叠层情况。本设计规范中所涉及线宽线距仅为在 2.2 节 6 层板叠层设计下的参考数值,用户可以根据制板厂家实际叠层情况在满足阻抗要求的条件下调整线宽/线距。以下为 4 层板和 6 层板设计的叠层参考。

2.1 4 层 PCB 板叠层

在 4 层 PCB 板上,为使所有线路阻抗满足要求,表 2.1 给出了推荐的 PCB 板各层的厚度和叠层信息。

表 2.1 四层 PCB 板的叠层示例

Layer	Type	Thickness
	Soldermask	0.4--1.2 mil
1	Copper	1/2 OZ plate to 1OZ
	Pepreg	2.8 mil +/-0.65

2	Copper	1OZ
	Prepreg & filler core	47.0 mil
3	Copper	1OZ
	Pepreg	2.8 mil +/-0.65
4	Copper	1/2 OZ plate to 1OZ
	Soldermask	0.4--1.2 mil
Total Thickness: 1.5mm +/- 10%		

2.2 6层 PCB 板叠层

在 6 层 PCB 板上，为使所有线路阻抗满足第一章中的要求，表 2.2 给出了推荐的 PCB 板各层的厚度和叠层信息。

表 2.2 六层 PCB 板的叠层示例

Layer	Type	Thickness
	Soldermask	0.4--1.2 mil
1	Copper	1/2 OZ plate to 1OZ
	Pepreg	4 mil
2	Copper	1OZ
	Core	4 mil
3	Copper	1OZ
	Prepreg & core	40 mil
4	Copper	1OZ
	Core	4 mil
5	Copper	1OZ
	Pepreg	4 mil
6	Copper	1/2 OZ plate to 1OZ
	Soldermask	0.4--1.2 mil
Total Thickness: 1.6mm +/- 10%		

3 内存

本节主要包括 DDR2 接口 PCB 设计指导。任何偏离该指导中给定的信号拓扑和走线均需要通过仿真和验证，以确定满足 DDR2 SDRAM 和系统时序要求。

DDR2 接口的 PCB 设计主要包括信号线的线宽/线距、叠层与阻抗控制、走线的长度限制等方面，本文档对于这几个方面都有详细的说明。其中走线的长度限制包括两个方面的含义：一是绝对的最大走线长度，二是所有信号与时钟之间的长度匹配限制上。

LS1B 的内存控制器支持 16 位/32 位两种数据宽度，本文以 32 位数据宽度六层板设计为例，16 位方案可参考该方案裁剪。

3.1 信号分组及布线拓扑

3.1.1 信号分组

DDR2 接口信号分为 4 个信号组：时钟、控制、命令、数据和数据选通信号，表 3.1 对信号的分组情况进行了说明。

表 3.1 DDR2 信号分组

Group	Signal Name	Description
时钟(Clock)	DDR2_CLKp/n	System Memory Differential Clocks
控制(Control)	SCS#0、CKE0、ODT0	Chip select, Clock enable, On-Die termination
命令(Command)	A0~A14、BA0 ~ BA2、WE#、CAS#、RAS#	Memory address bus, Bank select, Write enable, Column address select, Row address select
数据和数据选通 (Data and Data Strokes)	DQS0, DQM0, DQ0 ~ DQ7	Byte Lane0
	DQS1, DQM1, DQ8 ~ DQ15	Byte Lane1
	DQS2, DQM2, DQ16 ~ DQ23	Byte Lane2
	DQS3, DQM4, DQ24 ~ DQ31	Byte Lane3

数据和数据选通组中的每个 Byte Lane (Lane0~Lane3) 均可和时钟、控制、命令一样，布线时作为一个单独的同组信号看待。

3.1.2 时钟信号

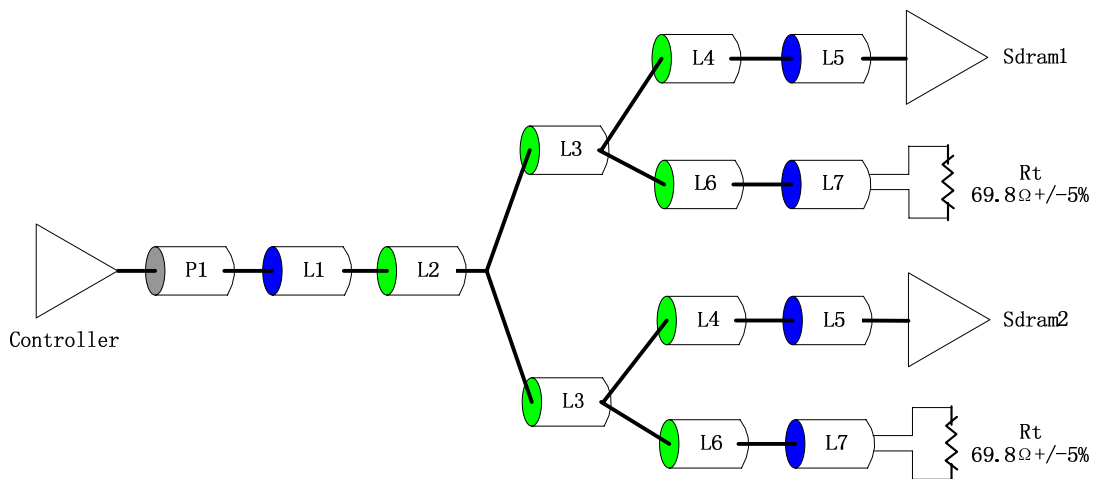


图 3.1 时钟信号布线拓扑 (2 Load Memory Down)

表 3.2 时钟信号组布线指导 (2 Load Memory Down)

参数	定义
信号组 (Signal Group)	Clock – CLKp0 and CLKn0
拓扑 (Topology)	差分对的平衡树结构 Differential Pair Balanced Tree Topology

参考平面 (Reference Plane)	地平面或电源平面，地平面为最佳，要求参考平面完整不允许信号跨分割
单端信号阻抗 (Single-Ended Trace Impedance)	-
差分信号阻抗 (Differential Mode Impedance)	70 Ω +/-10%
与非 DDR2 信号的最小间距 (Minimum Isolation Spacing to non-DDR2 Signals)	20mil
与其他 DDR2 信号组的最小间距 (Minimum Isolation Spacing to other-DDR2 Signal Groups)	20mil
封装长度的范围 (P1, Package Length Range)	
L1 (Microstrip) (Fanout length segment)	扇出差分对线宽/线距：7.8mil/7.2mil 与其他 DDR2 信号间距：5mil L1 的长度应尽量短
L2 (Stripline)	差分对线宽/线距：7.8mil/7.2mil 与其他 DDR2 信号间距：16mil
L3 (Stripline)	差分对线宽/线距：7.8mil/7.2mil 与其他 DDR2 信号间距：16mil 最大长度：500mil
L4 (Stripline)	差分对线宽/线距：7.8mil/7.2mil 与其他 DDR2 信号间距：16mil 最大长度：500mil
L5 (Microstrip)	差分对线宽/线距：7.8mil/7.2mil 与其他 DDR2 信号间距：16mil L5 的长度应尽量短
L6 (Stripline)	差分对线宽/线距：7.8mil/7.2mil 与其他 DDR2 信号间距：16mil 最大长度：500mil
L7 (Microstrip)	差分对线宽/线距：7.8mil/7.2mil 与其他 DDR2 信号间距：16mil L7 的长度应尽量短
总的板级走线长度 (Total Motherboard Length Limits, L1+L2+L3)	Max = 3000mil
信号的总长度限制-P1+L1+L2+L3	Max = 4000mil
最大的过孔数 (Maximum Recommended Via Count)	3 个
DDR2_CLKp0 与 DDR2_CLKn0 的长度匹配	总长度的最大差别 < 5mil

3.1.3 控制信号

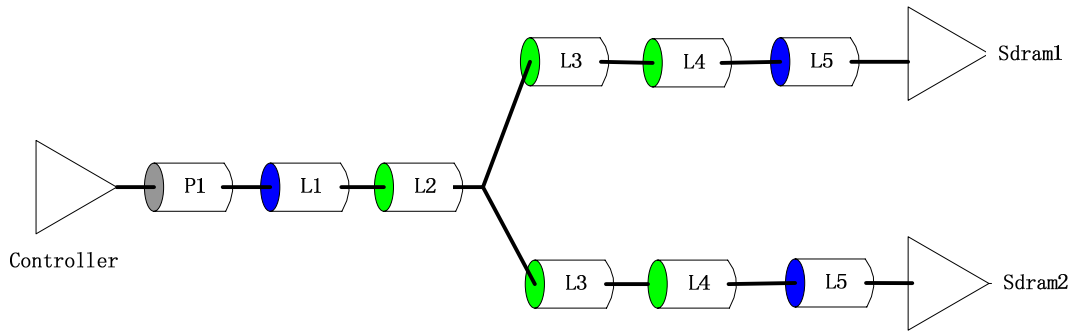


图 3.2 控制信号布线拓扑 (2 Load Memory Down)

表 3.3 控制信号组布线指导 (2 Load Memory Down)

参数	定义
信号组 (Signal Group)	Control -SCS#0, CKE0, ODT0
拓扑 (Topology)	平衡树结构 Balanced Tree Topology with Parallel Termination
参考平面 (Reference Plane)	地平面或电源平面，地平面为最佳，要求参考平面完整不允许信号跨分割
信号线特性阻抗 (Characteristic Trace Impedance)	50 Ω +/-10%
与非 DDR2 信号的最小间距 (Minimum Isolation Spacing to non-DDR2 Signals)	20mil
与其他 DDR2 信号组的最小间距 (Minimum Isolation Spacing to other-DDR2 Signal Groups)	20mil
封装长度的范围 (P1, Package Length Range)	
L1 (Microstrip) (Fanout length segment)	扇出线宽: 5mil 与其他 DDR2 信号间距: 5mil L1 的长度应尽量短
L2 (Stripline)	线宽: 5mil 与其他 DDR2 信号间距: 12mil
L3 (Stripline)	线宽: 5mil 与其他 DDR2 信号间距: 12mil L3 的最大长度为 1000mil
L4 (Stripline)	线宽: 5mil 与其他 DDR2 信号间距: 12mil

	L4 的最大长度为 500mil
L5 (Microstrip) (Stub from Via to Sdram Pad)	线宽: 5mil 与其他 DDR2 信号间距: 12mil L5 的最大长度为 250mil
L3 长度匹配 (L3 Segment Matching)	Maximum L3 Length – Minimum L3 Length <= 50 mils
L4 长度匹配 (L4 Segment Matching)	Maximum L4 Length – Minimum L4 Length <= 50 mils
总的板级走线长度 (Total Motherboard Length Limits, L1+L2+L3+L4+L5)	Max = 3000mil
信号的总长度限制-P1+L1+L2+L3+L4+L5	Max = 4000mil
最大的过孔数 (Maximum Recommended Via Count)	3 个
控制信号与时钟对的长度匹配 (包括封装长度)	(CLK - 500mil) <= Control <= (CLK + 500mil)

3.1.4 命令信号

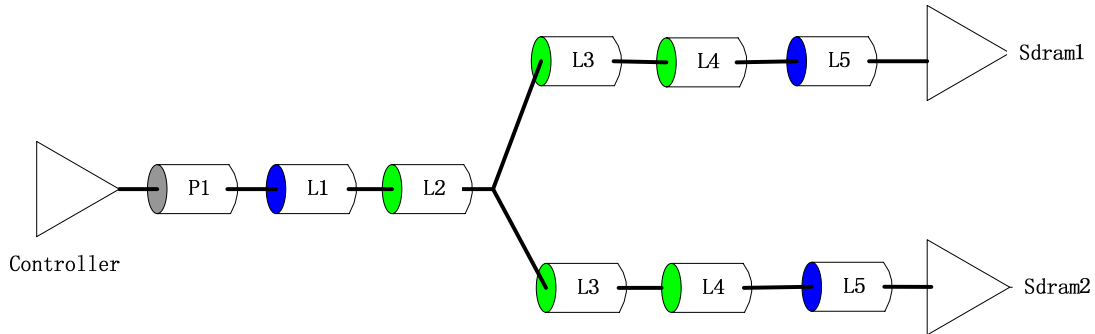


图 3.3 命令信号布线拓扑 (2 Load Memory Down)

表 3.4 命令信号组布线指导 (2 Load Memory Down)

参数	定义
信号组 (Signal Group)	Command –A[14:0], BA[2:0], WE#, CAS#, RAS#
拓扑 (Topology)	点到点信号 Point-to-Point with Parallel Termination
参考平面 (Reference Plane)	地平面或电源平面，地平面为最佳，要求参考平面完整不允许信号跨分割
信号线特性阻抗 (Characteristic Trace Impedance)	50 Ω +/-10%
与非 DDR2 信号的最小间距 (Minimum Isolation Spacing to)	20mil

non-DDR2 Signals)	
与其他 DDR2 信号组的最小间距 (Minimum Isolation Spacing to other-DDR2 Signal Groups)	20mil
封装长度的范围 (P1, Package Length Range)	
L1 (Microstrip) (Fanout length segment)	扇出线宽: 5mil 与其他 DDR2 信号间距: 5mil L1 的长度应尽量短
L2 (Stripline)	线宽: 5mil 与其他 DDR2 信号间距: 12mil
L3 (Stripline)	线宽: 5mil 与其他 DDR2 信号间距: 12mil L3 的最大长度为 1000mil
L4 (Stripline)	线宽: 5mil 与其他 DDR2 信号间距: 12mil L4 的最大长度为 500mil
L5 (Microstrip) (Stub from Via to Sdram Pad)	线宽: 5mil 与其他 DDR2 信号间距: 12mil L5 的最大长度为 250mil
L3 长度匹配 (L3 Segment Matching)	Maximum L3 Length – Minimum L3 Length <= 50 mils
L4 长度匹配 (L4 Segment Matching)	Maximum L4 Length – Minimum L4 Length <= 50 mils
总的板级走线长度 (Total Motherboard Length Limits, L1+L2+L3+L4+L5)	Max = 3000mil
信号的总长度限制 -P1+L1+L2+L3+L4+L5	Max =4000mil
最大的过孔数 (Maximum Recommended Via Count)	3 个
命令信号与时钟对的长度匹配 (包括封装长度)	(CLK - 500mil) <= Control <= (CLK + 500mil)

3.1.5 数据信号

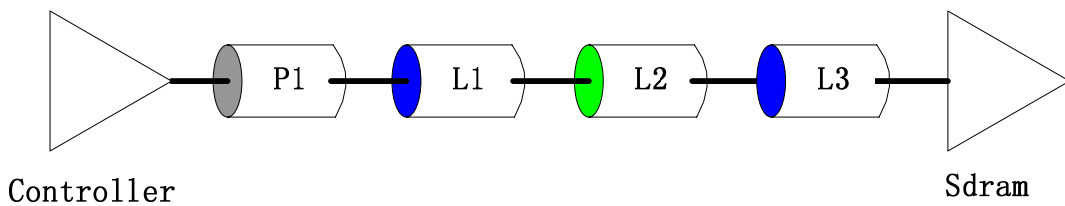


图 3.4 数据信号布线拓扑 (1 Load Memory Down)
表 3.5 数据信号组布线指导 (1 Load Memory Down)

参数	定义
信号组 (Signal Group)	Data -DQ[31:0], DQS[3:0], DQM[3:0]
拓扑 (Topology)	点到点信号 Point-to-Point
参考平面 (Reference Plane)	地平面或电源平面，地平面为最佳，要求参考平面完整不允许信号跨分割
信号线特性阻抗 (Characteristic Trace Impedance)	50 Ω +/-10%
与非 DDR2 信号的最小间距 (Minimum Isolation Spacing to non-DDR2 Signals)	20mil
与其他 DDR2 信号组的最小间距 (Minimum Isolation Spacing to other-DDR2 Signal Groups)	20mil
封装长度的范围 (P1, Package Length Range)	
L1 (Microstrip) (Fanout length segment)	扇出线宽: 5mil 与其他 DDR2 信号间距: 5mil L1 的长度应尽量短
L2 (Stripline)	线宽: 5mil 与其他 DDR2 信号间距: 12mil
L3 (Microstrip) (Stub from Via to Sdram Pad)	线宽: 5mil 与其他 DDR2 信号间距: 5mil L3 的长度应尽量短
总的板级走线长度 (Total Motherboard Length Limits, L1+L2+L3)	Max = 3000mil
信号的总长度限制-P1+L1+L2+L3	Max = 4000mil
最大的过孔数 (Maximum Recommended Via Count)	2 个
数据信号与 DQS 对的长度匹配 (包括封装长度)	同一个 Lane 内长度误差在 10mil 之内，不同 Lane 之间尽量等长，误差在 100mil 之内

3.1.6 数据选通信号

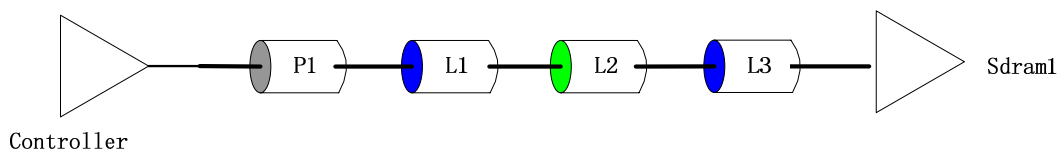


图 3.5 数据选通信号布线拓扑（1 Load Memory Down）

表 3.6 数据选通信号组布线指导（1 Load Memory Down）

参数	定义
信号组 (Signal Group)	Data Strobes –DQS[3:0]
拓扑 (Topology)	点到点信号 Point-to-Point
参考平面 (Reference Plane)	地平面或电源平面，地平面为最佳，要求参考平面完整不允许信号跨分割
单端信号阻抗 (Single-Ended Trace Impedance)	50 Ω +/-10%
差分信号阻抗 (Differential Mode Impedance)	-
与非 DDR2 信号的最小间距 (Minimum Isolation Spacing to non-DDR2 Signals)	20mil
与其他 DDR2 信号组的最小间距 (Minimum Isolation Spacing to other-DDR2 Signal Groups)	20mil
封装长度的范围 (P1, Package Length Range)	
L1 (Microstrip) (Fanout length segment)	线宽：5mil 与其他 DDR2 信号间距：5mil L3 的长度应尽量短
L2 (Stripline)	线宽：5mil 与其他 DDR2 信号间距：12mil L3 的长度应尽量短
L3 (Microstrip) (Stub from Via to SO-DIMM Pad)	线宽：5mil 与其他 DDR2 信号间距：5mil L3 的长度应尽量短
总的板级走线长度 (Total Motherboard Length Limits, L1+L2+L3)	Max = 3000mil
信号的总长度限制-P1+L1+L2+L3	Max = 4000mil
最大的过孔数 (Maximum Recommended Via Count)	2 个
DQS 与时钟对的长度匹配 (DQS-to-Clock Total Length Matching)	到颗粒总长度的最大差别： CK-500mil<=DQS<= CK+500mil

3.2 数据信号组的完整性

DDR2 接口的数据信号和选通信号分成了 4 个相对独立数据信号组 (Byte Lane)，不同

的信号组可以使用不同的布线层来完成走线，信号过孔要求尽量少，一般不超过 2 个，但是，为最小化信号之间的偏移（Skew），同组内的信号需要在同一布线层完成走线，具有相同的走线方式。

3.3 参考平面

所有信号布线均需有完整的参考平面，参考平面可以是电源或地平面（地平面最佳），但不允许出现参考平面不完整或者没有参考平面的信号走线。具体电源平面分割，请参考图 1.3、图 1.4。

3.4 长度匹配

为获得最优的信号质量和时序裕量，本文档不仅给出了每个信号组推荐的布线拓扑、线宽线距、最小和最大的布线长度，并且定义了各信号组之间的长度匹配规则。

各信号组的长度匹配都是以 DDR2 时钟为参考的，相对于时钟信号的最小和最大长度偏差值依赖于规范所能容忍的时序变化范围。

3.5 封装长度

每个信号的长度计算都包括芯片内的封装长度和 PCB 板的板级走线长度。组内数据和选通信号之间有严格的长度匹配要求，因此封装长度对信号组的等长有重要影响。具体数据请参考附表 1。

3.6 接口参考设计

3.6.1 32 位模式接口设计

32 位模式下的 DDR2 接口设计如图 3.6，为了方便 layout，其中数据线同组内可以进行交换，每 8 位为一组，DDR2_DQ[0..7]、DDR2_DQ[8..15]、DDR2_DQ[16..23]、DDR2_DQ[24..31]共四组，组间数据线不可以交换。

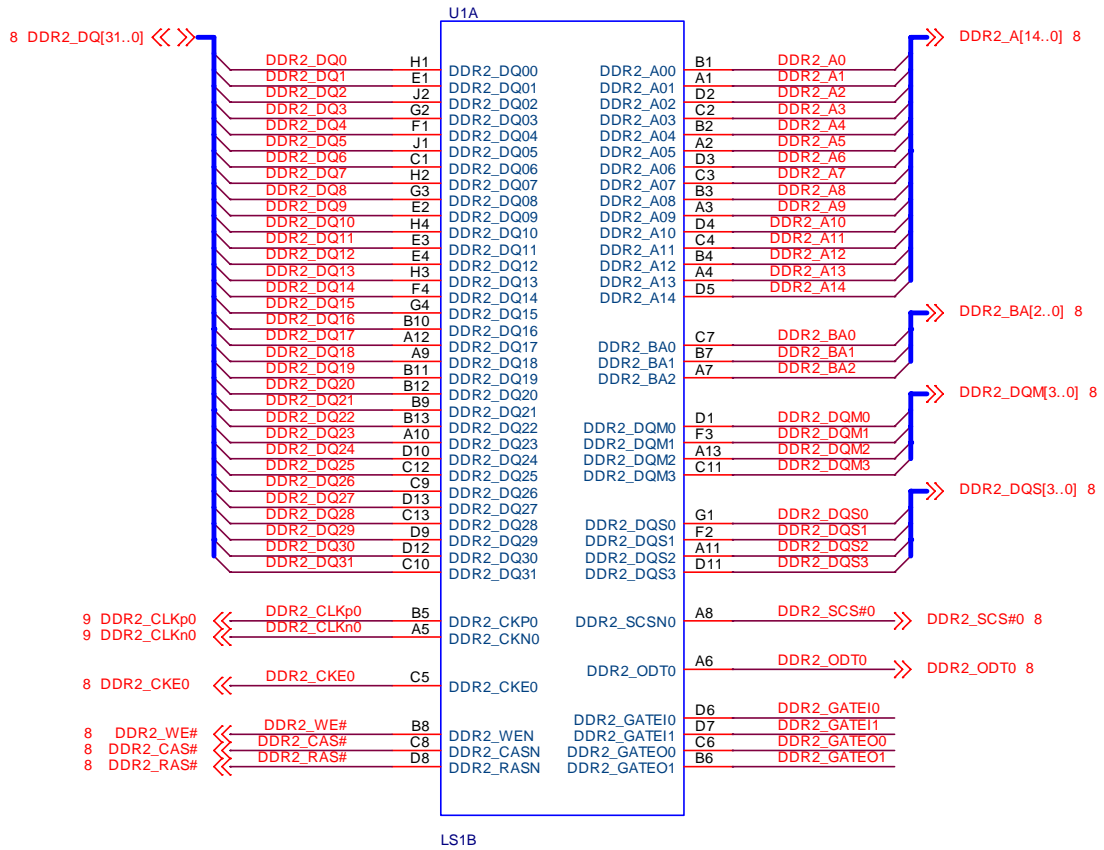


图 3.6 32 位模式下的 DDR2 接口设计

3.6.2 16 位模式接口设计

16 位模式下的 DDR2 接口设计如图 3.7。为了方便 layout，其中数据线同组内可以进行交换，每 8 位为一组，DDR2_DQ[0..7]、DDR2_DQ[8..15]共四组，组间数据线不可以交换。

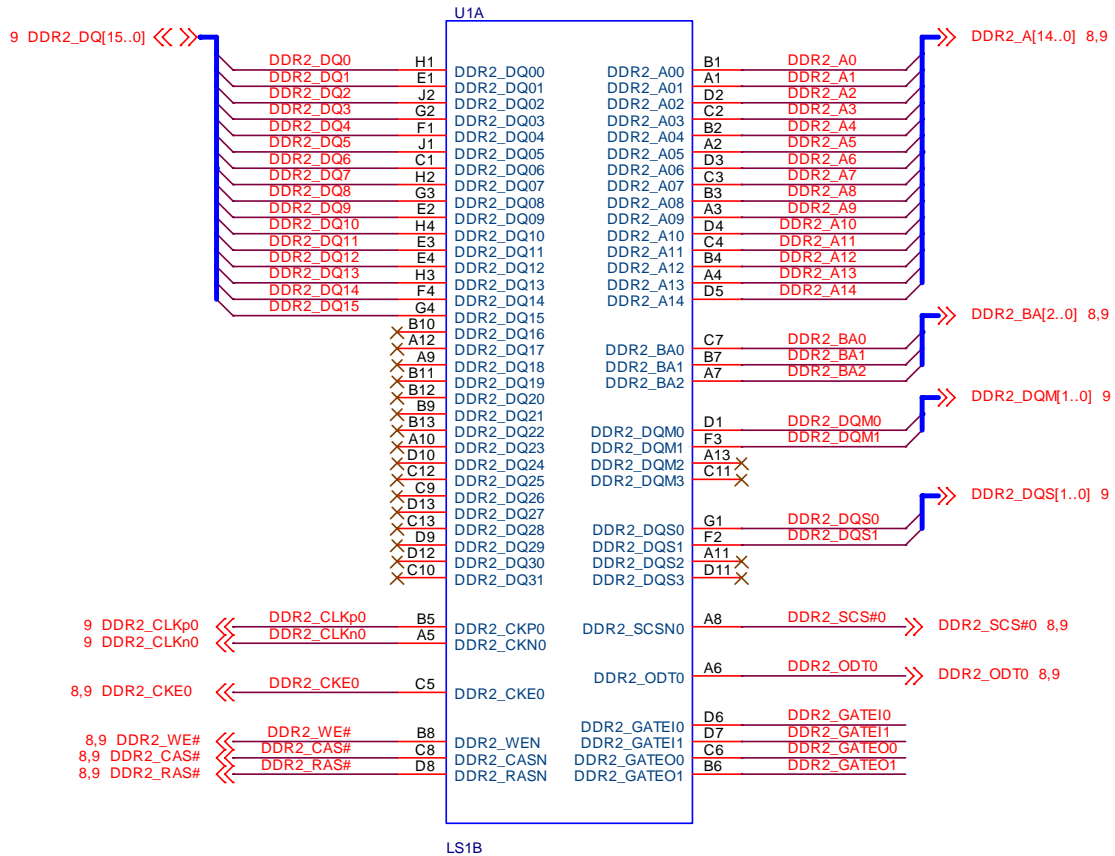


图 3.7 16 位模式下的 DDR2 接口设计

4 网络接口

本节主要包括 GMAC 接口 PCB 设计指导。任何偏离该指导中给定的信号拓扑和走线均需要通过仿真和验证，以确定满足 GMAC 控制器和 PHY 时序要求。

LS1B 的 GMAC 控制器支持百兆网 MII 和千兆网 RGMII 两种工作模式，以下对两种模式下的走线做详细介绍。

4.1 MII

4.1.1 信号分组

MII 接口信号分为 3 个信号组：发送、接收和控制信号，表 4.1 对信号的分组情况进行了说明。

表 4.1 MII 接口信号分组

Group	Signal Name	Description
发送组 (TX)	P0_TX_CLK、P0_TXD [3..0]、 P0_TXEN	——
接收组 (RX)	P0_RX_CLK、P0_RXD [3..0]、 P0_RXER、P0_RXDV	——
控制组 (CTRL)	P0_MDC、P0_MDIO、P0_COL、	——

	P0_CRS	
--	--------	--

4.1.2 发送组 (TX)

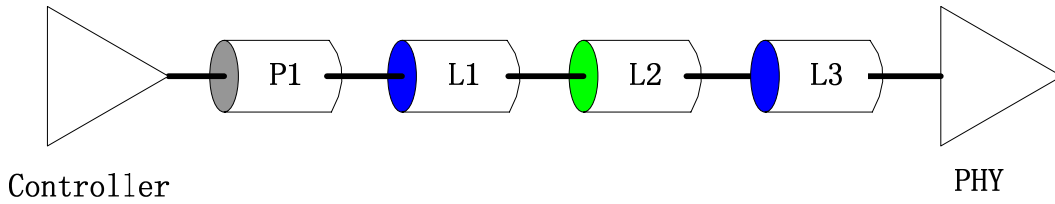


图 4.1 发送组信号布线拓扑

表 4.2 发送组布线指导

参数	定义
信号组 (Signal Group)	P0_TX_CLK、P0_TXD [3..0]、P0_TXEN
拓扑 (Topology)	点到点信号 Point-to-Point
参考平面 (Reference Plane)	地平面或电源平面，地平面为最佳，要求参考平面完整不允许信号跨分割
信号线特性阻抗 (Characteristic Trace Impedance)	50 Ω +/-10%
与其他信号的最小间距 (Minimum Isolation Spacing to Other Signals)	20mil
封装长度的范围 (P1, Package Length Range)	
L1 (Microstrip) (Fanout length segment)	扇出线宽：5mil 与其他 MII 发送信号间距：5mil L1 的长度应尽量短
L2 (Stripline)	线宽：5mil 与其他 MII 发送信号间距：12mil
L3 (Microstrip) (Stub from Via to Sdram Pad)	线宽：5mil 与其他 MII 发送信号间距：5mil L3 的长度应尽量短
总的板级走线长度 (Total Motherboard Length Limits, L1+L2+L3)	Max = 4000mil
信号的总长度限制-P1+L1+L2+L3	Max = 5000mil
最大的过孔数 (Maximum Recommended Via Count)	2 个
发送组信号与 P0_TX_CLK 的长度匹配 (包括封装长度)	发送组 (TX) 信号与时钟 P0_TX_CLK 的误差在 100mil 之内

4.1.3 接收组 (RX)

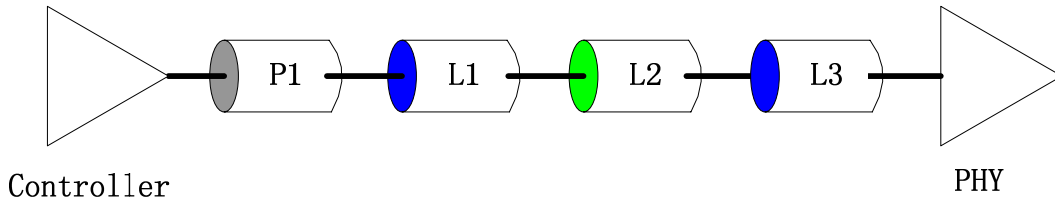


图 4.2 接收组信号布线拓扑

表 4.3 接收组布线指导

参数	定义
信号组 (Signal Group)	P0_RX_CLK、P0_RXD [3..0]、P0_RXER、P0_RXDV
拓扑 (Topology)	点到点信号 Point-to-Point
参考平面 (Reference Plane)	地平面或电源平面，地平面为最佳，要求参考平面完整不允许信号跨分割
信号线特性阻抗 (Characteristic Trace Impedance)	50 Ω +/-10%
与其他信号的最小间距 (Minimum Isolation Spacing to Other Signals)	20mil
封装长度的范围 (P1, Package Length Range)	
L1 (Microstrip) (Fanout length segment)	扇出线宽：5mil 与其他 MII 接收信号间距：5mil L1 的长度应尽量短
L2 (Stripline)	线宽：5mil 与其他 MII 接收信号间距：12mil
L3 (Microstrip) (Stub from Via to Sdram Pad)	线宽：5mil 与其他 MII 接收信号间距：5mil L3 的长度应尽量短
总的板级走线长度 (Total Motherboard Length Limits, L1+L2+L3)	Max = 4000mil
信号的总长度限制-P1+L1+L2+L3	Max = 5000mil
最大的过孔数 (Maximum Recommended Via Count)	2 个
接收组信号与 P0_RX_CLK 的长度匹配 (包括封装长度)	接收组 (RX) 信号与时钟 P0_RX_CLK 的误差在 100mil 之内

4.1.4 控制组 (CTRL)

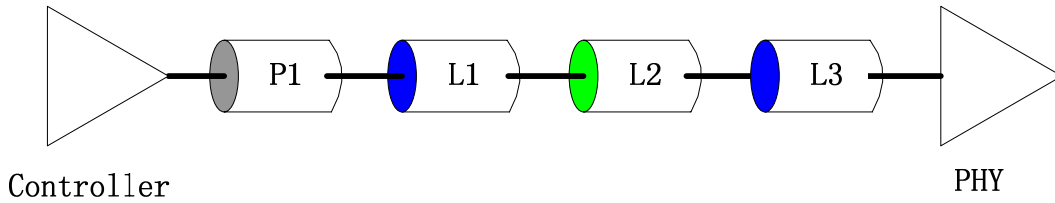


图 4.3 接收组信号布线拓扑

表 4.4 接收组布线指导

参数	定义
信号组 (Signal Group)	P0_MDC、P0_MDIO、P0_COL、P0_CRG
拓扑 (Topology)	点到点信号 Point-to-Point
参考平面 (Reference Plane)	地平面或电源平面，地平面为最佳，要求参考平面完整不允许信号跨分割
信号线特性阻抗 (Characteristic Trace Impedance)	50Ω +/-10%
与其他信号的最小间距 (Minimum Isolation Spacing to Other Signals)	20mil
封装长度的范围 (P1, Package Length Range)	
L1 (Microstrip) (Fanout length segment)	扇出线宽：5mil 与其他 MII 控制信号间距：5mil L1 的长度应尽量短
L2 (Stripline)	线宽：5mil 与其他 MII 控制信号间距：12mil
L3 (Microstrip) (Stub from Via to SDRAM Pad)	线宽：5mil 与其他 MII 控制信号间距：5mil L3 的长度应尽量短
总的板级走线长度 (Total Motherboard Length Limits, L1+L2+L3)	Max = 4000mil
信号的总长度限制 -P1+L1+L2+L3	Max = 5000mil
最大的过孔数 (Maximum Recommended Via Count)	2 个
控制组信号的长度匹配(包括封装长度)	P0_MDC、P0_MDIO 信号误差在 500mil 之内即可，且与 P0_COL、P0_CRG 信号一样，越短越好

4.1.5 接口参考设计

该接口的设计中，请注意 MDCK、MDIO 这两个信号需接上拉电阻。

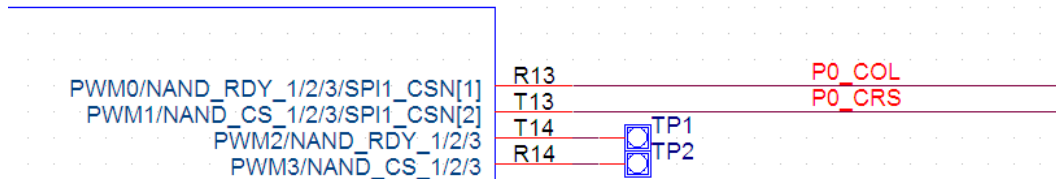


图 4.4 MII 接口参考设计

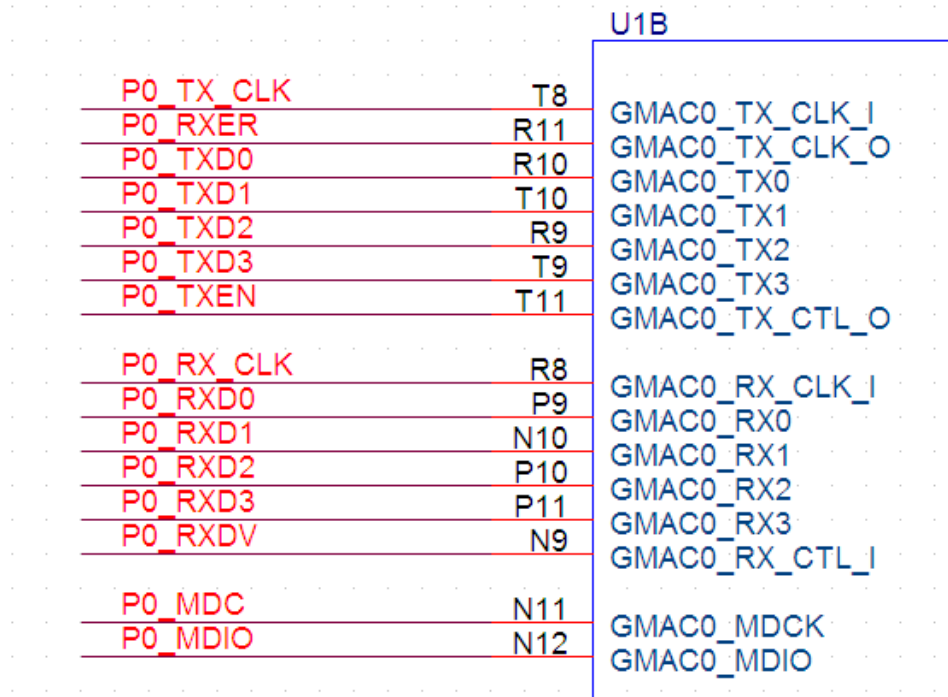


图 4.5 MII 接口参考设计

4.2 RGMII

4.2.1 信号分组

RGMII 接口信号分为 3 个信号组：发送、接收、控制和其它信号，表 4.5 对信号的分组情况进行了说明。

表 4.5 RGMII 接口信号分组

Group	Signal Name	Description
发送组 (TX)	P0_TX_CLK_O、P0_TXD [3..0]、 P0_TXCTL	——
接收组 (RX)	P0_RX_CLK、P0_RXD [3..0]、 P0_RXCTL	——
控制组 (CTRL)	P0_MDC、P0_MDIO	——
其他组 (Others)	P0_TX_CLK_I	——

4.2.2 发送组 (TX)

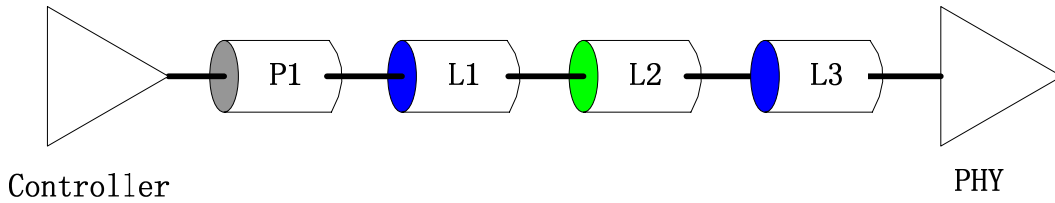


图 4.6 发送组信号布线拓扑

表 4.6 发送组布线指导

参数	定义
信号组 (Signal Group)	P0_TX_CLK_O、P0_TXD [3..0]、P0_TXCTL
拓扑 (Topology)	点到点信号 Point-to-Point
参考平面 (Reference Plane)	地平面或电源平面，地平面为最佳，要求参考平面完整不允许信号跨分割
信号线特性阻抗 (Characteristic Trace Impedance)	50Ω +/-10%
与其他信号的最小间距 (Minimum Isolation Spacing to Other Signals)	20mil
封装长度的范围 (P1, Package Length Range)	
L1 (Microstrip) (Fanout length segment)	扇出线宽：5mil 与其他 MII 发送信号间距：5mil L1 的长度应尽量短
L2 (Stripline)	线宽：5mil 与其他 MII 发送信号间距：12mil
L3 (Microstrip) (Stub from Via to SDRAM Pad)	线宽：5mil 与其他 MII 发送信号间距：5mil L3 的长度应尽量短
总的板级走线长度 (Total Motherboard Length Limits, L1+L2+L3)	Max = 4000mil
信号的总长度限制-P1+L1+L2+L3	Max = 5000mil
最大的过孔数 (Maximum Recommended Via Count)	2 个
发送组信号与 P0_TX_CLK 的长度匹配 (包括封装长度)	发送组 (TX) 信号与时钟 P0_TX_CLK_O 的误差在 100mil 之内

4.2.3 接收组 (RX)

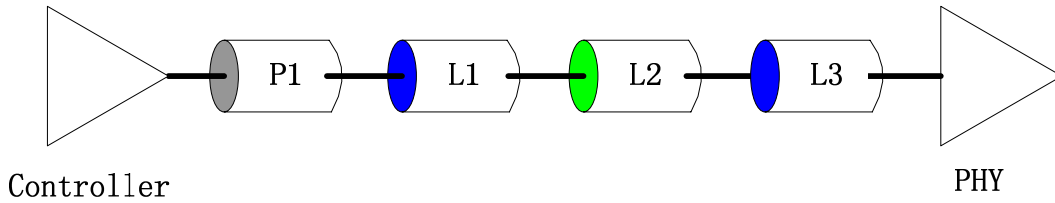


图 4.7 接收组信号布线拓扑

表 4.7 接收组布线指导

参数	定义
信号组 (Signal Group)	P0_RX_CLK、P0_RXD [3..0]、P0_RXCTL
拓扑 (Topology)	点到点信号 Point-to-Point
参考平面 (Reference Plane)	地平面或电源平面，地平面为最佳，要求参考平面完整不允许信号跨分割
信号线特性阻抗 (Characteristic Trace Impedance)	50 Ω +/-10%
与其他信号的最小间距 (Minimum Isolation Spacing to Other Signals)	20mil
封装长度的范围 (P1, Package Length Range)	
L1 (Microstrip) (Fanout length segment)	扇出线宽：5mil 与其他 MII 接收信号间距：5mil L1 的长度应尽量短
L2 (Stripline)	线宽：5mil 与其他 MII 接收信号间距：12mil
L3 (Microstrip) (Stub from Via to Sdram Pad)	线宽：5mil 与其他 MII 接收信号间距：5mil L3 的长度应尽量短
总的板级走线长度 (Total Motherboard Length Limits, L1+L2+L3)	Max = 4000mil
信号的总长度限制-P1+L1+L2+L3	Max = 5000mil
最大的过孔数 (Maximum Recommended Via Count)	2 个
接收组信号与 P0_RX_CLK 的长度匹配 (包括封装长度)	接收组 (RX) 信号与时钟 P0_RX_CLK 的误差在 100mil 之内

4.2.4 控制组 (CTRL) 及其它

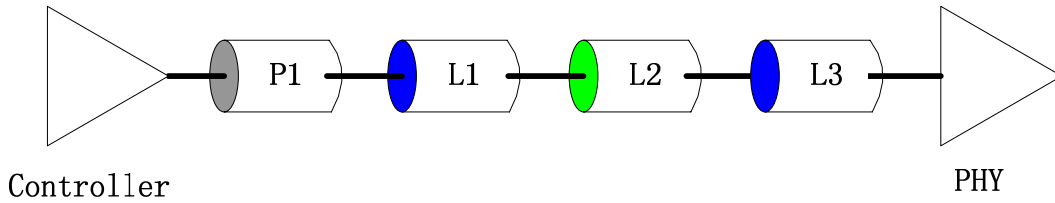


图 4.8 接收组信号布线拓扑

表 4.8 接收组布线指导

参数	定义
信号组 (Signal Group)	MDC、MDIO、P0_TX_CLK_I
拓扑 (Topology)	点到点信号 Point-to-Point
参考平面 (Reference Plane)	地平面或电源平面，地平面为最佳，要求参考平面完整不允许信号跨分割
信号线特性阻抗 (Characteristic Trace Impedance)	50Ω +/-10%
与其他信号的最小间距 (Minimum Isolation Spacing to Other Signals)	20mil
封装长度的范围 (P1, Package Length Range)	
L1 (Microstrip) (Fanout length segment)	扇出线宽：5mil 与其他 MII 控制信号间距：5mil L1 的长度应尽量短
L2 (Stripline)	线宽：5mil 与其他 MII 控制信号间距：12mil
L3 (Microstrip) (Stub from Via to Sdram Pad)	线宽：5mil 与其他 MII 控制信号间距：5mil L3 的长度应尽量短
总的板级走线长度 (Total Motherboard Length Limits, L1+L2+L3)	Max = 4000mil
信号的总长度限制-P1+L1+L2+L3	Max = 5000mil
最大的过孔数 (Maximum Recommended Via Count)	2 个
控制组信号的长度匹配(包括封装长度)	P0_MDC、P0_MDIO 信号误差在 500mil 之内即可，且与 P0_TX_CLK_I 越短越好

4.2.5 参考接口设计

该接口的设计中，请注意 MDCK、MDIO 这两个信号需接上拉电阻。

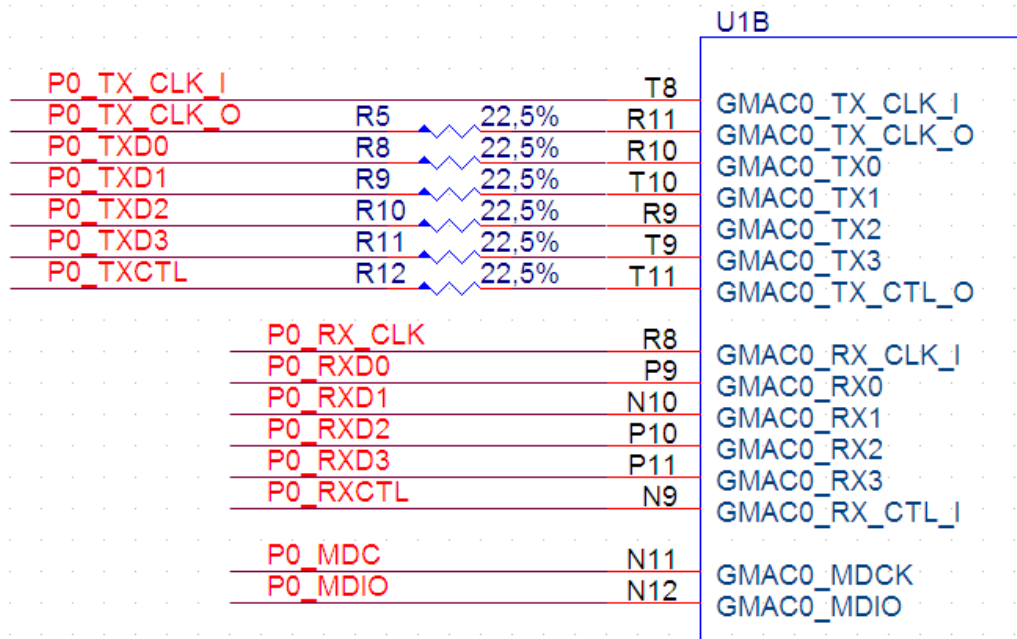


图 4.9 RGMII 接口参考设计

4.3 数据信号组的完整性

不同的信号组可以使用不同的布线层来完成走线，信号过孔要求尽量少，一般不超过 2 个，但是，为最小化信号之间的偏移（Skew），同组内的信号需要在同一布线层完成走线，具有相同的走线方式。

4.4 参考平面

所有信号布线均需有完整的参考平面，参考平面可以是电源或地平面（地平面最佳），但不允许出现参考平面不完整或者没有参考平面的信号走线。

具体电源平面分割，请参考图 1.3、图 1.4。

4.5 长度匹配

为获得最优的信号质量和时序裕量，本文档不仅给出了每个信号组推荐的布线拓扑、线宽线距、最小和最大的布线长度，并且定义了各信号组之间的长度匹配规则。

4.6 封装长度

每个信号的长度计算都包括芯片内的封装长度和 PCB 板的板级走线长度。组内数据和选通信号之间有严格的长度匹配要求，因此封装长度对信号组的等长有重要影响。具体数据请参考附表 1。

5 USB 接口

5.1 信号拓扑及布线规范

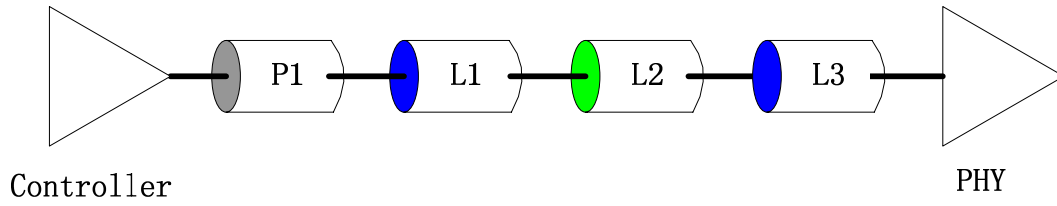


图 5.1 USB 信号布线拓扑

表 5.1 USB 布线指导

参数	定义
信号组 (Signal Group)	USB_DP、USB_DM
拓扑 (Topology)	差分对 Differential Pair
参考平面 (Reference Plane)	地平面或电源平面，地平面为最佳，要求参考平面完整不允许信号跨分割
差分信号阻抗 (Differential Mode Impedance)	90Ω +/-10%
与其他信号的最小间距 (Minimum Isolation Spacing to Other Signals)	20mil
封装长度的范围 (P1, Package Length Range)	
L1 (Microstrip) (Fanout length segment)	扇出差分对线宽/线距：4.5mil/7.5mil 与其他信号间距：5mil L1 的长度应尽量短
L2 (Stripline)	差分对线宽/线距：4.5mil/7.5mil 与其他信号间距：16mil
L3 (Stripline)	差分对线宽/线距：5.1mil/7.5mil 与其他信号间距：12mil 最大长度：500mil
总的板级走线长度 (Total Motherboard Length Limits, L1+L2+L3)	
信号的总长度限制-P1+L1+L2+L3	
最大的过孔数 (Maximum Recommended Via Count)	2 个
USB_DP、USB_DM 的长度匹配 (USB_DP to USB_DM Length Matching) (Total length including package)	总长度的最大差别 < 5mil

5.2 参考接口设计

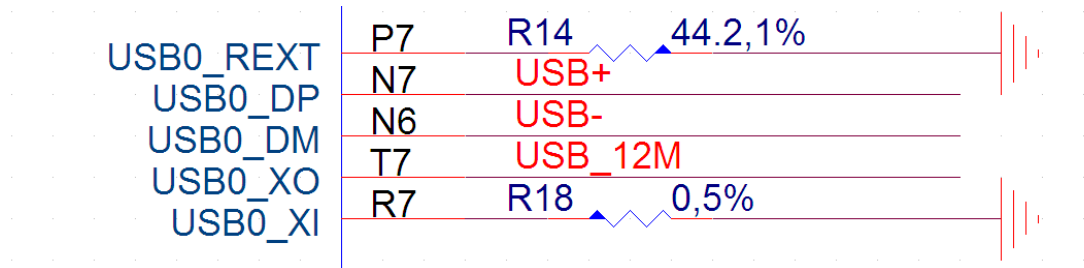
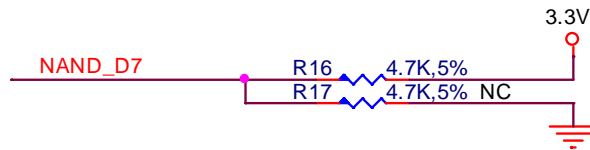


图 5.2 USB 接口设计



NAND D7:
pull high, usb 12MHz is from oscillator,
pull low, usb 12MHz is from crystal;

图 5.3 USB 接口系统配置

图 5.2 为 USB 接口的参考设计，需要注意的是处理器 NAND_D7 管脚为 USB 接口时钟形式选择接口，若用有源晶振，则此管脚应接上拉电阻到 3.3V，并且时钟从 USB0_XO(T7) 输入（上图即为该设计），若用晶体此管脚接下拉电阻到地。

6 其他设计

除以前章节中提到的设计外，其他接口信号线均为单端信号，阻抗控制在 $50\Omega \pm 10\%$ ，无严格的布线要求，符合一般的 3W 和 20H 布线规则即可，在满足阻抗要求的前提下选择合适的走线方式，本节主要对处理器其它设计中需要注意的地方进行说明。

6.1 LCD 接口

6.1.1 接口设计参考

LS1B 提供屏幕分辨率高达 1920*1080 的 LCD 显示接口，支持 16 位/24 两种显示模式，16 位模式的接口连接如图 6.1，采用 24 位模式显示，多出的低位数据线与 UART0 复用，如图 6.2，设计时请合理分配处理器资源。

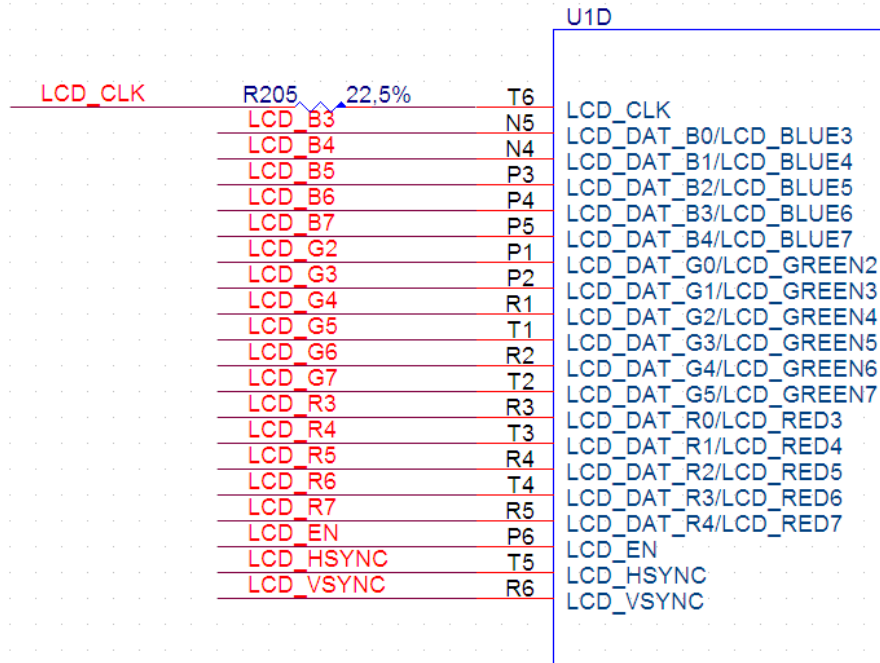


图 6.1 16 位 565 模式下的显示接口

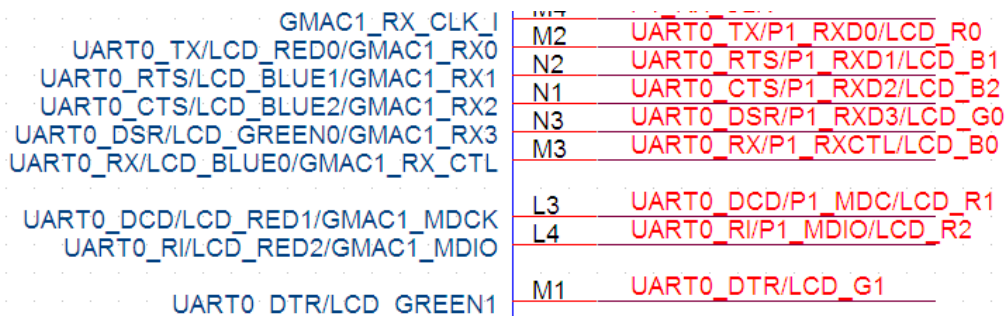


图 6.2 24 位 888 模式下的显示接口低位复用接口

6.2 时钟设计

处理器需要三个系统输入时钟信号：SYS_CLK，RTC_CLK 和 USB_CLK，USB_CLK 的设计已在 5.2 中说明，SYS_CLK 时钟若采用晶体，晶体的摆放应尽量靠近处理器，时钟走线尽可能短，若采用有源晶振，设计如图 6.3。

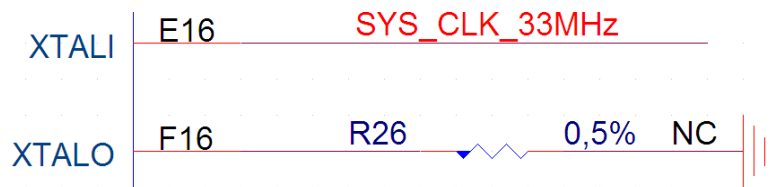


图 6.3 系统时钟输入

RTC_CLK 的设计如图 6.4 所示,如果不用 RTC 功能，该时钟可以不接，但是 RTC 电源需连接系统 IO 的 3.3V 电源供给。

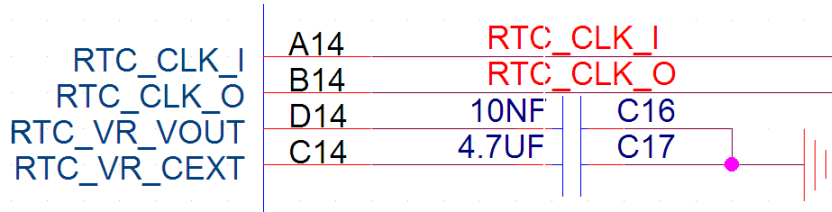


图 6.4 RTC 时钟输入

1B 系统主频设置 NAND_D6 设置为高电平时，处理器启动时钟为 BYPASS 模式，CPU_clk 和 DDR2_clk 的频率为 33Mhz，待系统启动后通过软件确定 CPU 和 DDR 的运行频率。

6.3 JTAG 调试接口设计

龙芯 1B 处理器支持 EJTAG 仿真调试，仿真器接口信号上下拉设置如下图。需要注意 TRST 需要下拉，不下拉有可能导致处理器不启动。

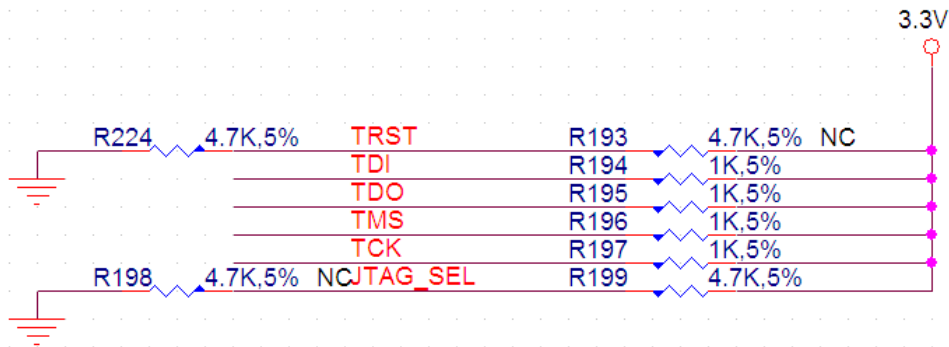


图 6.6 EJTAG 信号上下拉设置

6.4 复位信号设计

龙芯 1B 处理器提供一个复位输入 SYS_RESET#，时序上要求系统时钟电源稳定后复位保持 100ms.，参考电路如下图。

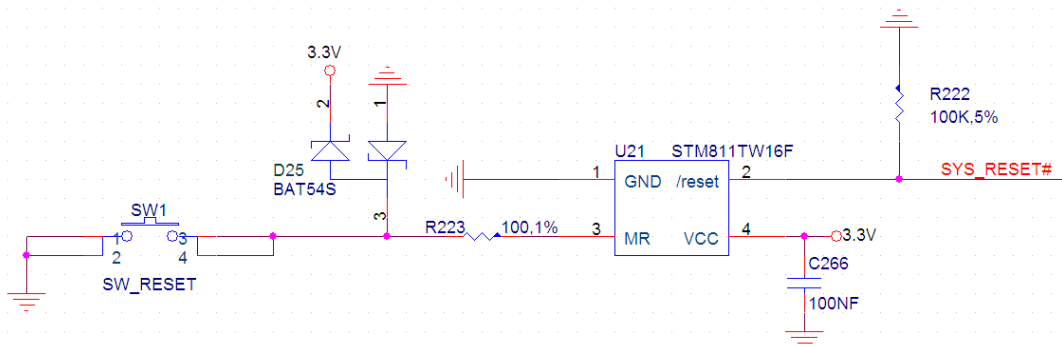


图 6.7 复位信号输入设计

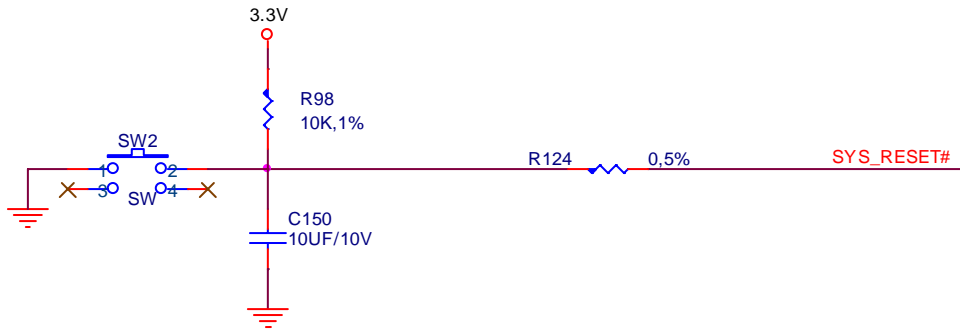


图 6.8 RC 复位

6.5 NAND 接口

6.5.1 接口设计参考

龙芯 1B 处理器提供标准的 NAND FLASH 控制接口，需要注意的是 NAND_RDY 信号需要做上拉设计，具体接口设计如下。

NAND_ALE	N13	NAND_ALE
NAND_CE#	M15	NAND_CE
NAND_CLE	N14	NAND_CLE
NAND_D0	T16	NAND_D0
NAND_D1	R16	NAND_D1
NAND_D2	R15	NAND_D2
NAND_D3	P14	NAND_D3
NAND_D4	P15	NAND_D4
NAND_D5	P16	NAND_D5
NAND_D6	N16	NAND_D6
NAND_D7	N15	NAND_D7
NAND_RD#	M13	NAND_RD
NAND_RDY	T15	NAND_RDY
NAND_WR#	M14	NAND_WR

图 6.9 NAND 接口设计

7 器件选型推荐

7.1 DDR2

LS1B 处理器的 DDR2 控制器支持对多数厂家生产的内存颗粒具有很好的兼容性，已经验证过并且推荐客户使用的颗粒型号如下。

表 7.1 推荐使用内存颗粒表

厂家	颗粒型号	说明
----	------	----

Samsung	K4T1G164QF - BCF7	128MB
Samsung	K4T1G164QE - HCF7	128MB
ISSI	IS43DR16640A - 3DBL	128MB
ISSI	IS46DR16640A - 3DBLA1	128MB

7.2 GMAC

LS1B 处理器的 GMAC 控制器支持并且已经验证过的网口 PHY 型号如下表。

表 7.2 推荐使用网口 PHY 型号表

厂家	颗粒型号	说明
Realtek	RTL8211E-VB-CG	RGMII
Realtek	RTL8201CP	MII
Realtek	RTL8201E-VC-GR	MII
DAVICOM	DM9161B	MII
DAVICOM	DM9161A	MII

7.3 USB

LS1B 处理器的仅有 1 个 USB HOST 接口,在 USB 接口数量不够的情况下可以采用 USB HUB 芯片对处理器 USB 接口进行扩展,。

表 7.3 推荐使用网口 PHY 型号表

厂家	颗粒型号	说明
GENESYS	GL852G-MNG	4 口

7.4 VGA

LS1B 处理器无 VGA 接口,如果用户需求我方可提供 LCD 接口转 VGA 接口的设计方案,推荐扩展 VGA 的配套器件如下表。

表 7.4 推荐使用 LCD 转 VGA 器件表

厂家	颗粒型号	说明
Analog Devices	ADV7125JSTZ240	1920*1080

7.5 NAND

LS1B 处理器仅支持 SLC 型 NAND flash,页大小只支持 2KB。推荐搭配 1B 使用的 NAND flash 型号如下表。

表 7.5 推荐使用 NAND flash 型号表

厂家	颗粒型号	说明
Samsung	K9F1G08U0C-PCB0	128MB
Samsung	K9K8G08U0A-PCB0	1GB

附表 1.处理器信号封装延时表

Pin	Net	Delay (ps)
K15	AC97_BIT_CLK	25.242405
J16	AC97_DATA_I	29.712902
J15	AC97_DATA_0	29.397079
K14	AC97_RESET	23.244288
K13	AC97_SYNC	19.735429
T12	CAN0_RX	34.182672
R12	CAN0_TX	28.976798
P12	CAN1_RX	24.899169
P13	CAN1_TX	30.973264
B01	DDR2_A00	51.733041
A01	DDR2_A01	58.319741
D02	DDR2_A02	36.693996
C02	DDR2_A03	44.589861
B02	DDR2_A04	45.729103
A02	DDR2_A05	47.916278
D03	DDR2_A06	32.67225
C03	DDR2_A07	35.307348
B03	DDR2_A08	39.761981
A03	DDR2_A09	43.765896
D04	DDR2_A10	27.734483
C04	DDR2_A11	29.414192
B04	DDR2_A12	35.540309
A04	DDR2_A13	34.63452
D05	DDR2_A14	17.408088
C07	DDR2_BA0	20.513844
B07	DDR2_BA1	26.042108
A07	DDR2_BA2	32.0697
C08	DDR2_CASN	20.547294
C05	DDR2_CKE0	29.267461
A05	DDR2_CKN0	33.898765
B05	DDR2_CKP0	33.512716
H01	DDR2_DQ00	38.910996
E01	DDR2_DQ01	50.791254
J02	DDR2_DQ02	28.615114
G02	DDR2_DQ03	36.797897
F01	DDR2_DQ04	45.289416
J01	DDR2_DQ05	35.409356
C01	DDR2_DQ06	56.456911
H02	DDR2_DQ07	38.795612
G03	DDR2_DQ08	29.888952
E02	DDR2_DQ09	41.666386

H04	DDR2_DQ10	20.446514
E03	DDR2_DQ11	38.722103
E04	DDR2_DQ12	41.299638
H03	DDR2_DQ13	21.042601
F04	DDR2_DQ14	30.776473
G04	DDR2_DQ15	18.594658
B10	DDR2_DQ16	31.526704
A12	DDR2_DQ17	48.9303
A09	DDR2_DQ18	31.986459
B11	DDR2_DQ19	40.120164
B12	DDR2_DQ20	38.286871
B09	DDR2_DQ21	27.010773
B13	DDR2_DQ22	42.889322
A10	DDR2_DQ23	33.124951
D10	DDR2_DQ24	20.178646
C12	DDR2_DQ25	33.747143
C09	DDR2_DQ26	20.148254
D13	DDR2_DQ27	35.352236
C13	DDR2_DQ28	34.592863
D09	DDR2_DQ29	24.889941
D12	DDR2_DQ30	24.390329
C10	DDR2_DQ31	20.241172
D01	DDR2_DQM0	52.599947
F03	DDR2_DQM1	28.505208
A13	DDR2_DQM2	44.787187
C11	DDR2_DQM3	21.205948
G01	DDR2_DQS0	42.818601
F02	DDR2_DQS1	30.035608
A11	DDR2_DQS2	37.683068
D11	DDR2_DQS3	22.180058
D06	DDR2_GATEI0	19.84821
D07	DDR2_GATEI1	17.460967
C06	DDR2_GATE00	21.261795
B06	DDR2_GATE01	30.540358
A06	DDR2_ODT0	32.451737
D08	DDR2_RASN	14.980917
A08	DDR2_SCSN0	31.163128
B08	DDR2_WEN	25.812306
L16	EJTAG_TCK	32.044722
L15	EJTAG_TDI	26.488563
K16	EJTAG_TDO	30.749198
L14	EJTAG_TMS	25.65072
L13	EJTAG_TRST	24.513456

N11	GMACO_MDCK	21.42505
N12	GMACO_MDIO	28.183461
P09	GMACO_RX0	21.090983
N10	GMACO_RX1	22.021067
P10	GMACO_RX2	21.741536
P11	GMACO_RX3	23.714207
R08	GMACO_RX_CLK_I	33.621378
N09	GMACO_RX_CTL_I	21.000847
R10	GMACO_TX0	31.017781
T10	GMACO_TX1	34.688416
R09	GMACO_TX2	26.487773
T09	GMACO_TX3	31.407637
T08	GMACO_TX_CLK_I	33.792847
R11	GMACO_TX_CLK_0	37.168818
T11	GMACO_TX_CTL_0	42.36823
M04	GMAC1_RX_CLK_I	24.24175
D16	GMAC1_TX_CLK_I	41.719092
C16	GMAC1_TX_CLK_0	46.630714
C15	GMAC1_TX_CTL_0	42.700238
G13	I2C_SCL	32.353913
G14	I2C_SDA	26.514131
T06	LCD_CLK	32.668031
N05	LCD_DAT_B0	25.964979
N04	LCD_DAT_B1	33.415716
P03	LCD_DAT_B2	35.950085
P04	LCD_DAT_B3	35.8174
P05	LCD_DAT_B4	25.08228
P01	LCD_DAT_G0	43.942177
P02	LCD_DAT_G1	39.797125
R01	LCD_DAT_G2	53.453164
T01	LCD_DAT_G3	51.593607
R02	LCD_DAT_G4	45.76631
T02	LCD_DAT_G5	48.129105
R03	LCD_DAT_R0	40.268518
T03	LCD_DAT_R1	53.147536
R04	LCD_DAT_R2	33.170737
T04	LCD_DAT_R3	34.98132
R05	LCD_DAT_R4	28.946304
P06	LCD_EN	26.161205
T05	LCD_HSYNC	35.769486
R06	LCD_VSYNC	27.583181
N13	NAND_ALE	32.477069
M15	NAND_CE	32.650398

N14	NAND_CLE	31.378271
T16	NAND_D0	45.453483
R16	NAND_D1	44.239479
R15	NAND_D2	38.608093
P14	NAND_D3	32.572636
P15	NAND_D4	36.403192
P16	NAND_D5	38.828169
N16	NAND_D6	36.813705
N15	NAND_D7	31.969117
M13	NAND_RD	25.174138
T15	NAND_RDY	42.421295
M14	NAND_WR	26.692179
R13	PWM0	32.558755
T13	PWM1	34.789018
T14	PWM2	39.131895
R14	PWM3	36.909939
A14	RTC_CLK_I	46.440802
B14	RTC_CLK_O	40.357536
H16	SPI0_CLK	34.790727
H14	SPI0_CS0	25.403982
J14	SPI0_CS1	19.430205
J13	SPI0_CS2	18.326289
H13	SPI0_CS3	23.343119
G16	SPI0_MISO	37.32153
H15	SPI0_MOSI	29.832813
P08	SYS_RSTN	24.32005
N08	TEST_CFG_MODEN	19.329522
M16	TEST_JTAG_SEL	33.815267
N01	UART0_CTS	36.275132
L03	UART0_DCD	20.867815
N03	UART0_DSR	27.361294
M01	UART0_DTR	33.559838
L04	UART0_RI	18.224704
N02	UART0_RTS	30.851344
M03	UART0_RX	23.745644
M02	UART0_TX	28.27007
D15	UART1_CTS	38.305325
E15	UART1_RTS	36.162045
G15	UART1_RX	26.156328
F15	UART1_TX	30.381364
K12	UART2_RX	37.380007
K11	UART2_TX	27.155456
J11	UART3_RX	31.267342

J12	UART3_TX	22.399872
H12	UART4_RX	22.947419
H11	UART4_TX	20.501692
G11	UART5_RX	33.364355
G12	UART5_TX	19.802332
N06	USB0_DM	32.647694
N07	USB0_DP	31.950077
P07	USB0_REXT	25.394734
R07	USB0_XI	26.615468
T07	USB0_XO	32.306044
E16	XTALI	40.66716
F16	XTALO	38.543281